
晟矽微电 应用笔记

MC51F7424

勘误手册

AN22021

V1.1.0



注:

本文针对产品内部验证测试、特定设计及用户应用反馈的芯片应用问题，进行说明并提供解决或规避方案。
有关产品订购信息、功能概述、电气特性和封装特性，请参考《用户手册》。
有关产品完整功能详细信息，请参考《用户手册》。



1 适用范围

本文档针对产品内部验证测试、特定设计及用户应用反馈的芯片应用问题，进行说明并提供解决或规避方案。



2 应用说明

2.1 CPU 内核

本产品内置增强型 8051 内核，安装 keil c51 插件后，使用 keil c51 开发环境。对应的插件请登录晟矽微电官网下载。

2.2 系统时钟与工作模式

2.2.1 单时钟模式

序号	问题描述	规避方案
1	单时钟高频模式 (HIRC)，因系低频 RC 常关，T3 不支持选择低频时钟，无法 sleep 模式唤醒。	应用中若有 T3 唤醒 sleep 模式需求，请选择双时钟模式。

2.3 PWM0

2.3.1 PWM 标志

序号	问题描述	规避方案
1	PWMOCR 寄存器属于系统时钟域，当 PWM0 时钟关闭后，PWM0IF 仍可软件置 1；	请用户应用中避免对 PWM0IF 进行写 1 操作。

2.4 PWM1

2.4.1 刹车功能

序号	问题描述	规避方案
1	刹车所存模式失效，仅支持逐次模式。	若要实现锁存模式功能，则在发生刹车中断后，立即关闭 PWM 输出保护态，并关闭刹车中断，通过轮询刹车标志 FBSTA，判定有效刹车信号消失后，再次开启 PWM 输出及刹车保护中断。

2.4.2 手动控制 PWM 输出

序号	问题描述	规避方案
1	PWM1 OSYNC=1 时，PWM1MANCR1 寄存器非 PWM 周期同步生效，是系统时钟同步生效。	应用中注意。

2.4.3 PWM 标志

序号	问题描述	规避方案
1	中心对齐模式下，PWM1 的 PWMDDxIF 和 PWMUDxIF 会在对应的向下计数和向上计数过程置 1。	为防止两个标志同时有效时无法区分计数方向，用户可以在标志置起后，判断后清除标志。

2.4.4 PWM1 触发 ADC

序号	问题描述	规避方案
1	PWM1 选择 HIRC48M 时钟源下，PWM1 无法硬件触发 ADC	若用户选择 PWM1 时钟源 48M，使用软件触发 ADC

2.5 ADC

2.5.1 ADC 首次转换

序号	问题描述	规避方案
1	ADC 开启时，由于内部初始不定态，会有几率触发一次异常转换（转值异常）。	ADC 启动后 (ADEN=1)，立即通过轮询 ADEOC 判定 ADC 是否异常转换中，若 ADCEOC=1，表示异常转换，等待此次转换结束，清除标志，下次正常转换；若 ADCEOC=0，则表示未触发异常转换，首次为正常转换。

2.5.2 ADC 数字比较器

序号	问题描述	规避方案
1	ADC 数字比较器为实时开启的，使能后到未转换完前，	首次转换完成后开启比较功能。



	会产生一次下限比较标志	
--	-------------	--

2.5.3 ADC 扫描功能

序号	问题描述	规避方案
1	ADC 扫描功能, 扫描存储地址设置后, 第一第二次循环执行, 第三次不再循环开始地址递增, 往后填值	应用中若扫描循环超过 2 次, 建议每次扫描开始至结束期间刷新地址值。

2.6 比较器 CMP

2.6.1 CMP 输出

序号	问题描述	规避方案
1	CMP 关闭状态下 (CnEN=0), 比较器输出由 IO 寄存器控制	应用中根据需求配置对应的 IO 状态

2.6.2 PWM 同步输出功能

序号	问题描述	规避方案
1	CMP 在 PWM1 同步模式下, 不开滤波同步无效	应用中开启 PWM1 同步功能, 用户必须开启比较器滤波。

2.7 运算放大器 OPA

2.7.1 运放输出

序号	问题描述	规避方案
1	运放关闭时, 输出管脚为弱低 (P2.0/P2.5/P3.5)	应用中运放关闭后, 若需要芯片的弱低钳位电平, 请限制管脚外围上拉电阻。
2	运放使能状态下, 正端或负端配置成保留功能, 运放输出电平不确定	应用中避免设置为保留功能。

2.8 UART0

2.8.1 MODE2

序号	问题描述	规避方案
1	UART0 在 mode2 连续发送, 在波特率较低的情况下, 会产生 0.5bitstop 加上 1 个 CPUCLK 的低, 加上 1.5bitstop 的高	请用户避免 mode2 模式下低波特率应用

2.8.2 UART 初始电平控制

序号	问题描述	规避方案
1	UART 功能与 IO 控制如下: 1、RX: UARTxEN 使能后, REN (接收使能) disable 的情况下, RX 状态由此引脚的其他复用 (需开启) 或 IO 控制决定; 一旦 REN 使能, RX 为输入模式, 上拉受 IO 上拉寄存器控制; 2、TX: UARTxEN 使能后, 因为没有发送使能, 写 SBUF 前, 都是空闲状态, TX 状态由此引脚的其他复用 (需开启) 或 IO 控制; 当对 SBUF 写操作, TX 由 UART 发送控制, 发送完成恢复空闲状态, 继续由此引脚的其他复用 (需开启) 或 IO 控制。	建议将相应 IO 的功能设为输入上拉, 以免 UART 进入空闲状态释放端口后误输入或输出一个低电平起始位

2.9 SPI

2.9.1 SPI 从机

序号	问题描述	规避方案
1	SPI 从机 CPHA=1, CPOL=1 的情况下, 由于该设置 NSS 主机长期为低, SPI 启动时 SCLK 会从低变成高产生一个上沿, 芯片会当成数据进行接收, 导致后续所有数据错位, 同时由于缺少第一个下降沿, 数据发送就无法正	应用中, 发送 spi 数据前, 设置 IO, 使 SCK 初态为高, 可规避



常发送	
-----	--

2.10 IAP 和 Boot loader

序号	问题描述	规避方案
1	IAPKEY 的 4 次解锁 (IAPSRT、IAPTRIG0、IAPTRIG1、IAPTRIG3) 未按照正确顺序操作, IAPERR 标志未置位	用户应用中保证操作顺序的正确性;

2.11 低功耗唤醒

序号	问题描述	规避方案
1	Timer3 唤醒 sleep 1、当中断溢出后内部 ov=1, 触发 tf3, 打开 HIRC_EN, 进行 warmup 计数; 2、当 warmup 结束, sleep 结束, tf3 被硬件清 0, 系统进入中断服务子程序; 内部的 ov 在 warmup 结束后+1 个 T3CLK (LRC) 上升沿同步后清零; 3、由于中断服务子程序很短, 当再次进入 sleep 时, ov 清零未结束, 此时进入 sleep 动作把 ov 同步至 tf3 (再次被置位), 并退出 sleep, 再次进行了 hirc 的 warmup. 4、最终导致系统会多执行一次中断服务子程序。	timer3 唤醒后至少等待 100us 后, 再次进入 sleep, 可规避
2	当唤醒信号发生在休眠信号生效前很小时段内 (90ns, 约 1.5 个系统时钟), 发生竞争状态 (休眠生效, 唤醒标志生效, 预热计数未生效), 造成死机状态; 若唤醒信号发生在此时段前, 进入中断处理机制, 不会发生异常; 若唤醒信号发生在此时段后, 进入正常休眠唤醒机制, 不会发生异常;	暂不推荐客户使用 SLEEP 低功耗应用, 若客户一定使用 sleep 低功耗模式, 建议开启 Timer3 唤醒和 WDT 功能, 通过 Timer3 定时唤醒清 WDT 狗, 通过 WDT 复位进行保证。

2.12 ESD

2.12.1 LATCHUP&HBM

序号	测试项	测试结果																																
1	Latchup 测试, 由第三方检测机构检测	<p>According to failure criteria before and after the trigger, the LATCH-UP Sensitivity of the samples provided to Giga-Force can PASS: <u>±200mA</u></p> <p>JEDEC JESD78F-2022 Temperature Classification, <u>Class : I</u></p> <table border="1"> <tr> <td>Class I :</td> <td>For Latch-up test at room temperature</td> </tr> <tr> <td>Class II :</td> <td>For Latch-up test at maximum-rate ambient temperature</td> </tr> </table> <p>Test Model: LATCH-UP test</p> <table border="1"> <thead> <tr> <th>Unit#</th> <th>Trigger Mode</th> <th>Test Pin Group</th> <th>Sample Quantity</th> <th>Tested Result</th> <th>V or I Limits</th> </tr> </thead> <tbody> <tr> <td rowspan="4">#L6 #1 #2</td> <td rowspan="2">I-Test(positive)</td> <td>IP(5.5V)</td> <td rowspan="4">3</td> <td>PASS +200mA</td> <td>+8.250V</td> </tr> <tr> <td>IO(5.5V)</td> <td>PASS +200mA</td> <td>+8.250V</td> </tr> <tr> <td rowspan="2">I-Test(negative)</td> <td>IP(5.5V)</td> <td>PASS -200mA</td> <td>-2.750V</td> </tr> <tr> <td>IO(5.5V)</td> <td>PASS -200mA</td> <td>-2.750V</td> </tr> <tr> <td></td> <td>Vsupply Over-voltage test</td> <td>VDD(5.5V)</td> <td></td> <td>PASS +8.25 V</td> <td>+600mA</td> </tr> </tbody> </table>	Class I :	For Latch-up test at room temperature	Class II :	For Latch-up test at maximum-rate ambient temperature	Unit#	Trigger Mode	Test Pin Group	Sample Quantity	Tested Result	V or I Limits	#L6 #1 #2	I-Test(positive)	IP(5.5V)	3	PASS +200mA	+8.250V	IO(5.5V)	PASS +200mA	+8.250V	I-Test(negative)	IP(5.5V)	PASS -200mA	-2.750V	IO(5.5V)	PASS -200mA	-2.750V		Vsupply Over-voltage test	VDD(5.5V)		PASS +8.25 V	+600mA
Class I :	For Latch-up test at room temperature																																	
Class II :	For Latch-up test at maximum-rate ambient temperature																																	
Unit#	Trigger Mode	Test Pin Group	Sample Quantity	Tested Result	V or I Limits																													
#L6 #1 #2	I-Test(positive)	IP(5.5V)	3	PASS +200mA	+8.250V																													
		IO(5.5V)		PASS +200mA	+8.250V																													
	I-Test(negative)	IP(5.5V)		PASS -200mA	-2.750V																													
		IO(5.5V)		PASS -200mA	-2.750V																													
	Vsupply Over-voltage test	VDD(5.5V)		PASS +8.25 V	+600mA																													



2	HBM 测试, 由第三方检测机构检测	<p>According to failure judgment of I-V curve compare before and after zapping, the ESD Sensitivity of the samples provided to Giga-Force can PASS: <u>±8000V</u></p> <p>ANSI/ESDA/JEDEC JS-001-2017 Classification, <u>Class :3B</u></p> <p>Class 0Z : < 50V. Class 0A : ≥ 50V , <125V Class 0B : ≥ 125V , <250V Class 1A : ≥ 250V , <500V Class 1B : ≥ 500V , <1000V Class 1C : ≥ 1000V , <2000V Class 2 : ≥ 2000V , <4000V Class 3A : ≥ 4000V , <8000V Class 3B : ≥ 8000V</p> <table border="1" data-bbox="612 629 1436 1124"> <thead> <tr> <th colspan="2">Test Model: HBM test</th> <th colspan="3">ESD Sensitivity: <u>±8000V</u></th> </tr> <tr> <th>Unit#</th> <th>Test condition</th> <th>Sample Quantity</th> <th>Passed Volts</th> <th>IV Result Description</th> </tr> </thead> <tbody> <tr> <td>#1 #2 #3</td> <td>ALL other to GND(+5000V~8000V,Step:500V)</td> <td>3</td> <td>+8000V</td> <td>PASS</td> </tr> <tr> <td>#4 #5 #6</td> <td>ALL other to GND(-5000V~8000V,Step:500V)</td> <td>3</td> <td>-8000V</td> <td>PASS</td> </tr> <tr> <td>#7 #8 #9</td> <td>ALL other to VDD(+5000V~8000V,Step:500V)</td> <td>3</td> <td>+8000V</td> <td>PASS</td> </tr> <tr> <td>#10 #11 #12</td> <td>ALL other to VDD(-5000V~8000V,Step:500V)</td> <td>3</td> <td>-8000V</td> <td>PASS</td> </tr> <tr> <td>#13 #14 #15</td> <td>IO to IO(+5000V~8000V,Step:500V)</td> <td>3</td> <td>+8000V</td> <td>PASS</td> </tr> <tr> <td>#16 #17 #18</td> <td>IO to IO(-5000V~8000V,Step:500V)</td> <td>3</td> <td>-8000V</td> <td>PASS</td> </tr> </tbody> </table>	Test Model: HBM test		ESD Sensitivity: <u>±8000V</u>			Unit#	Test condition	Sample Quantity	Passed Volts	IV Result Description	#1 #2 #3	ALL other to GND(+5000V~8000V,Step:500V)	3	+8000V	PASS	#4 #5 #6	ALL other to GND(-5000V~8000V,Step:500V)	3	-8000V	PASS	#7 #8 #9	ALL other to VDD(+5000V~8000V,Step:500V)	3	+8000V	PASS	#10 #11 #12	ALL other to VDD(-5000V~8000V,Step:500V)	3	-8000V	PASS	#13 #14 #15	IO to IO(+5000V~8000V,Step:500V)	3	+8000V	PASS	#16 #17 #18	IO to IO(-5000V~8000V,Step:500V)	3	-8000V	PASS
Test Model: HBM test		ESD Sensitivity: <u>±8000V</u>																																								
Unit#	Test condition	Sample Quantity	Passed Volts	IV Result Description																																						
#1 #2 #3	ALL other to GND(+5000V~8000V,Step:500V)	3	+8000V	PASS																																						
#4 #5 #6	ALL other to GND(-5000V~8000V,Step:500V)	3	-8000V	PASS																																						
#7 #8 #9	ALL other to VDD(+5000V~8000V,Step:500V)	3	+8000V	PASS																																						
#10 #11 #12	ALL other to VDD(-5000V~8000V,Step:500V)	3	-8000V	PASS																																						
#13 #14 #15	IO to IO(+5000V~8000V,Step:500V)	3	+8000V	PASS																																						
#16 #17 #18	IO to IO(-5000V~8000V,Step:500V)	3	-8000V	PASS																																						



3 修改记录

版本号	修订者	修订日期	修订内容
V1.0.0	Sinomcu	2022-08-19	初始版本
V1.1.0	Sinomcu	2022-08-22	1、去除外部晶体相关描述 2、补充 ADC 扫描功能章节 3、补充低功耗唤醒章节 4、补充 LATCHUP 和 HBM 数据结果



4 免责声明

本资料内容为晟矽微电子（以下简称“我公司”）版权所有。

我公司将力求本资料的内容做到准确无误，但同时保留在不通知用户的情况下，对本资料内容的修改权。如您需要获得最新的资料，请及时联系我公司。

我公司将尽最大努力为您提供高品质、高稳定性的产品。尽管如此，由于一般半导体器件的电气敏感性及易受到外部物理损伤等固有特性存在，所以难免造成半导体器件出现故障或失效的可能。当您使用我公司产品时，有责任按照本资料以及相连资料中提到的“规则”来设计一个稳定及安全可靠的系统环境。另外，在遇到超规格（本资料中未描述到内容）的使用，请您提前咨询我公司，以免因我公司产品在一些特殊设备中或者特殊环境下的使用，导致财产损失、人员伤亡等严重后果的发生。因超规格的使用、未经咨询授权我公司产品的使用，我公司对此不承担任何法律责任。